# 1 Entwicklungsablauf mit Quartus II

Quartus ist eine integrierte Entwicklungsumgebung für

- den funktionellen Entwurf digitaler Systeme
  - o in einer Hardwarebeschreibungssprache
  - o in Form von graphischen Funktionsplänen
  - o in Mischformen
- die Simulation der entworfenen Systeme
- die Implementierung der Systeme in programmierbare Logikschaltkreise
- die Timinganalyse in Abhängigkeit von der ausgewählten Schaltkreisfamilie

#### 1.1 Erstellen eines neuen Projektes

Jeder Entwurf beginnt mit der Erstellung eines neuen Projektes

#### 1. Schritt

 $\textbf{File} \rightarrow \textbf{New Project Wizard}$ 

<b>%</b>	Quartu	s II				
File	Edit	View	Project	Assignments	. Pro	
Ľ	<u>N</u> ew			Ctrl+N		
B	<u>0</u> pen	•		Ctrl+O	l .	
	<u>C</u> lose			Ctrl+F4	Ê	
溋	New P	roject <u>V</u>	∕izard		Π	
R	Open F	<sup>p</sup> roject		Ctrl+J		
	Convert MAX+PLUS II Project					
	Save F	Project				

create a new directory vel design en raries ily and device existing proje s menu). You	v project and htity a ect and spec i can use the	d preliminary p cify additional s various pag	roject settings project-wide s es of the Setti	s, including the settings with ngs dialog box
directory vel design en raries ily and device existing proje s menu). You	ntity e ect and spec i can use the	cify additional e various pag	project-wide : es of the Setti	settings with ngs dialog box
existing proje s menu). You	ect and spec I can use the	cify additional e various pag	project-wide : es of the Setti	settings with ings dialog box
again				
	again	again	again	again

Ordner für das Projekt wählen Name des Projektes festlegen Name für das Design angeben Name des Projektes und Name des Designs müssen gleich sein

C:\altera\qdesigns60\AHDL_rr	iy_work			
What is the name of this project	?			
design1				
What is the name of the top-leve exactly match the entity name in	el design entity for tl n the design file.	his project? This r	ame is case sens	itive and must
design1				
Use Existing Project Settings .				

# Beim ersten Entwurf keine Files hinzufügen $\rightarrow$ Next

Add All Remove
Remove
Proportion
Fropence
Up
Down

# Schaltkreisfamilie wählen

e Fitter 'Availab	le devices	s' list	Package: Pin count: Speed grade: Core voltage: Show Adv	Any Any Any n/a anced Devices
e Fitter 'Availab is	le devices	s' list	Pin count: Speed grade: Core voltage: Show Adv	Any Any n/a anced Devices
'Availab	le devices	s' list	Speed grade: Core voltage: IV Show Adv	Any n/a anced Devices
.s			Core voltage: Show Adv	n/a anced Devices
s			🔽 Show Adv	anced Devices
s				
s				
	UFM B			
.0 IO	1			
10	i			
0	1			
.u 10	1			
0	1			
.0	1			
		7		
py II dev	vice resour	rces		
ay ii dev	100103001	1999		
	0 0 0 0 0 0	0 1 0 1 0 1 0 1 0 1 0 1 0 1 0 1	0 1 0 1 0 1 0 1 0 1 0 1 0 1 0 1 0 1	0 1 0 1 0 1 0 1 0 1 0 1 0 1 0 1

 $\rightarrow$  Next  $\rightarrow$  Finish

# 1.2 File für einen neuen Entwurf im Projekt erstellen



## Filetyp für den Entwurf auswählen AHDL File wählen

Vew	×
Device Design Files Other Files	
AHDL File Block Diagram/Schematic File EDIF File SOPC Builder System Verilog HDL File VHDL File	
	OK Cancel

File mit *Save as* speichern der Name des Files muss der Design Name sein Der Feilname hat die Erweiterung .tdf



1.3 Ersten Entwurf mit der Hardwarebeschreibungssprache AHDL erstellen

#### Verwendung der Templates

Quar	tus II	- C:/a	ltera/qd	lesigns60/A	HDL_
abc File	Edit	View	Project	Assignments	Proc
🗅 庙	K)	<u>U</u> ndo		Ctrl+2	Z N
]] Project N	Cal.	<u>R</u> edo		Ctrl+'	
Entity	¥.	Cu <u>t</u>		Ctrl+)	< <sup>4</sup>
🛕 Мл	Þà.	Сору		Ctrl+(	D 🕴
<b>_1</b>	R.	Paste		Ctrl+\	/ []
	$\times$	<u>D</u> elete		De	a 🛓
		Select <u>A</u>	<u>v</u> []	Ctrl+/	
	酋	Eind		Ctrl+	
	ф.,	Find Ne	<u>w</u> t	F	3 []
	$\overrightarrow{\{\}}$	Find Ma	tc <u>h</u> ing De	limiter Ctrl+N	1
	ê.≞ S∌B	R <u>e</u> place	3	Ctrl+H	
Mer	<b>→</b>	<u>G</u> o To		Ctrl+0	
Status =	宦	Increase	e Indent		0
Module	肁	Decrea	se Indent		
	) 	Insert P	age <u>B</u> reak		
	Û	Insert Fi	ļe		6
	7	Insert T	e <u>m</u> plate		6 b

#### AHDL Textfile beginnt mit SUBDESIGN Ein und Ausgänge der Schaltung werden festgelegt

Insert Template			×
Show syntax of: Quartus II Tcl Tcl Verilog HDL VHDL	Template section: Include Statement In-Line Reference (nom-pe In-Line Reference (nom-pe In-Line Reference (parami Instance Declaration (nom Instance Declaration (nom Logic Section Node Declaration Options Statement Overall Structure Parameters Statement Register Declaration State Machine Declaration State Machine Declaration State Machine Declaration Title Statement Truth Table Statement Variable Section	d port association) arameterized) eterized) -parameterized) ameterized) n	OK Cancel
SUBDESIGNdesi ( input_name output_nam bidir_name state_mack state_mack )	gn_name ;,input_name e,output_name ;,bidir_name ine_name ine_name	: INPUT =constan : OUTPUT; : BIDIR; : MACHINE INPUT; : MACHINE OUTPUT;	nt_value;

#### Template

SUBDESIGN \_\_design\_name ( \_\_input\_name, \_\_input\_name : INPUT = \_\_constant\_value; \_\_output\_name, \_\_output\_name : OUTPUT; \_\_bidir\_name, \_\_bidir\_name : BIDIR; \_\_state\_machine\_name : MACHINE INPUT; \_\_state\_machine\_name : MACHINE OUTPUT; )

#### Editieren des Templates

\_\_\_\_design\_name muss dem Filenamen des Textfiles entsprechen

Beschreibung der Funktion im Logikbereich

## Übersetzen des Textfiles



# 1.4 Simulation des Entwurfes

## Waveform File erstellen

1	Quar	tus II	- C:/a	ltera/qd	esigns60/AH
abc	File	Edit	View	Project	Assignments
		<u>N</u> ew			Ctrl+N
	ا 🤶	Open			Ctrl+O

## Other Files $\rightarrow$ Vector Waveform File

New	×
New  Device Design Files Other Files  AHDL Include File Block Symbol File Chain Description File Hexadecimal (Intel-Format) File Logic Analyzer Interface File Memory Initialization File SignalT ap II File Tcl Script File Text File	×
	Cancel

#### File Speichern

File → Save as (Filename muss mit Designname übereinstimmen) Der Feilname hat die Erweiterung .vwf

# Signale hinzufügen Waveform File ist im aktiven Fenster

us I	ll - C:/altera/qd	esigns60/AH
Edi	t View Project	Assignments
K)	<u>U</u> ndo	Ctrl+Z
Сч	<u>R</u> edo	Ctrl+Y
Å	Cu <u>t</u>	Ctrl+X
Ē	Сору	Ctrl+C
ß	<u>P</u> aste	Ctrl+V
	Paste Special	
	Repeat Paste	
$\times$	<u>D</u> elete	Del
	Seject	+
酋	<u>F</u> ind	Ctrl+F
ф.,	Find Ne <u>x</u> t	F3
ê.≊ ≯B	R <u>e</u> place	Ctrl+H
<b>→</b>	<u>G</u> o To	Ctrl+G
	<u>V</u> alue	+
	Grow or Shrin <u>k</u>	Ctrl+Alt+G
	Group	
	Gr <u>o</u> up U <u>n</u> group	
	Group Ungroup Insert Copied Noc	les
	Gr <u>o</u> up U <u>ng</u> roup Insert Copied Noo Insert Node or <u>B</u> u	les s

## Note Finder

Insert Node o	r Bus	
Name:		OK
Туре:	INPUT 🔽	Cancel
Value type:	9-Level	Node Finder
Radix:	Hexadecimal	
Bus width:	1	
Start index:	0	
🗖 Display gra	y code count as binary count	

List

Node Finder	Filter: Piner all		
Look in: jiesigni		Include subentities	Stop Lancel
Nodes Found:		Selected Nodes:	
Name	Assignments T	Name	Assignments T
🕪 xa	Unassigned Ir		
🖻 xb	Unassigned Ir		
III xc	Unassigned Ir		
🗇 yoder	Unassigned C		
🗇 yund	Unassigned C		
x		x	Þ

# Auswahl der Signale

ode Finder Named:  *	Filter: Pins: all	Customize	
Look in: <mark>Idesign1</mark> Nodes Found:		Selected Nodes:	s Stop Cancel
Name	Assignments T	Name	Assignments T
III xa III vb	Unassigned Ir	▶  design1 xa	Unassigned Ir
×c	Unassigned Ir	Idesign1 xc	Unassigned Ir
🖤 yoder	Unassigned C	Idesign1 lyoder	Unassigned O
i yxor	Unassigned C >>> </td <td><pre>idesign1jvxor idesign1jvxor idesign1jvx</pre></td> <td>Unassigned D</td>	<pre>idesign1jvxor idesign1jvxor idesign1jvx</pre>	Unassigned D
•	<b>&gt;</b>	•	Þ

# Ausgewählte Signale im Waveform File

🐇 Quartus II - C:/altera/qdesigns60/AHDL_my_work/design1 - design1 - [C:/altera/qdesigns60/AHDL_my_work/design1.vwf*]										
🗗 File Edit View Project Assignments P	rocess	ing Tools	Window Hel	þ						
0 🖻 🖬 👹 🕺 🌆 🛍 🗠 🗠	<b>\?</b>	design1			💽 🔀 🖉 🧐 😵		🕨 🦻 🍖 🚼	🕘 🕘 👱		
Project Navigator		abc C:/alte	ra/qdesigns60/	/AHDL	_my_work/design1.tdf	) 🖸 C	:/altera/qdesigns	60/AHDL_my_wo	ork/design1.	vwf*
Entity Logic Cells LC Re	Α	Master Time	Bar:	15.22	5 ns 🚺 Pointer:	8.8	Bns Inte	rval: -6.4	13 ns	Start:
Length design1 3 (3) 0	₩ ®	N	ame Valu 15.2	ue at 23 ns	0 ps	10.0	l ns 15.2	20 25 ns	0 ns	
		<b>₽</b> ×	h H	0						
	桷	🗈 xt	) H	10						
1 11	23	<u>₽</u> ×	:   Н	10						
T D	Vīr	🕑 ye	nder H			*****				**********
🛆 Hierarchy 🖹 Files 🗗 Design Units	 		or H	ix					*******	~~~~~~~~~~~~~~~~~~~~~~~~~~~~~~~~~~~~~~~
Status I I I I I I I I I I I I I I I I I I I										

# Belegung der Eingangssignale festlegen Signal bzw. Bereich eines Signals wählen auswählen

Einstellmöglichkeit

🐇 Quartus II - C:/altera/qdesigns60/AHI	)L_my	_wor	k/design1 - de	sign1 - [C	:/altera/qdesigns@
🙀 File Edit View Project Assignments	Proces	sing	Tools Window	Help	
🛛 🗅 🖨 🔚 🎼 🐇 🖿 💼 👘 🗠	<b>\</b> ?	de	sign1		💌 💢 🖌
Project Navigator		abo	C:/altera/qdesig	ns60/AHDL	my_work/design1.to
Entity Logic Cells LC Re	A	Mas	er Time Bar:	15.22	25 ns 🔸
bbd design1 3 (3) 0			Name	Value at 15.23 ns	0 ps
I I			ха	НО	
	<i>4</i> 4		хb	НО	
	5.6		хс	но	
		⊘	yoder	НΧ	
Hierarchy 🕒 Files 📌 Design Units	X型	⊘	yund	НΧ	
	***	⊵	yxor	нх	
Status	<del>압</del>				
Module Progress % Time 👌	上				
	z				
	∖₩				
	VT.				
	Xo				
	Xe				
	X@				
	X				
	ХВ				
	00,				
	Ż↓				

# Eingangssignalbelegung für die Simulation definiert

🐇 Quartus II - C:/altera/qdesigns60/AHDL_my_work/design1 - design1 - [C:/altera/qdesigns60/AHDL_my_work/design1.vwf*]																			
🖸 File Edit View Project Assignments	Proces	sing	Tools Window	Help															
🛛 🗅 🖨 🔚 🎒 🕺 🛍 🖻 🗠 🗠	<b>\</b> ?	de	sign1		•	X	_∕ <	<b>8</b> 😵	ð 🤫			1	0	.   <	€	ا چ			
Project Navigator		abo	C:/altera/adesid	ns60/AHDL	. mv. work	/desia	ın1.td	f		ា 🕰	C:/alt	era/e	qdesig	ns60.	/AHD	L_my	_work/	desig	n1.vv
Entity Logic Cells LC Re	143				- /-	_	11-												
	Α	Mas	ter Time Bar:	15.22	5 ns			'ointer:			4.8 ns		1	nterva	l:		-10.43 n	s	
E abd design1 3 (3) 0	₩			Value at	0 ps 10	.0 ns	20.	0 ns	30.p	ns 40	).0 ns	50.p	ns 6	0.0 ns	: 70	.0 ns	80.0 ns	90	.0 ns
	(€,		Name	15.23 ns		15.2	25 ns												
					<u> </u>		-				_	_		_					
			xa	H1	⊢	4						_							ļ
	酋		хb	HO	⊢														
	50		xc	HO															
		• D	yoder	НX		****	***	****	XXX	****	****	***	****	***	****	****	****	***	****
	Xe	C	yund	НΧ	×****	****	***	****	888	****	****	***	****	***	****	****	****	888	****
Hierarchy 🖹 Files 🗗 Design Units	×.	۲	yxor	нх	×****	****	***	****	***	****	****	***	****	***	****	****	****	****	****
Status 🔜 🛋 🔟	_0_																		
Module Progress % Time 🔕	1																		
							1												

# Simulation starten

/qdesigns60/AHDL_my_work/design1 - design1 -	- [C:/altera/qd	lesigns60/AH	DL_my_work	c/design1.v	vf*]							- 8 ×
ect Assignments Processing Tools Window Help				-								- ® ×
🖆 💼 🗠 r 🖤 2rop Processing — Urit	+Shift+L	X 2 8 3	ð 🧐 🤍	🕨 🔯 🗠	- 📩 🆃		2					
Start Compilation	Ctrl+L k/d	design1.tdf	🖸	C:/altera/qd	esigns60/A	HDL_my	_work/de	sign1.vwf*				
Start	, <b> </b>	Pointer:	2	00 ps	Interval:		-15.03 ns	Start:	0 ps	End:	1.0 us	
(3) 0 Update Memory Initialization File	0.0	) ns 20.0 ns	30.0 ns 40.	0 ns 50.0 n	s 60.0 ns	70.0 ns	80.0 ns	90.0 ns 100.0	) Dins 110.0 ns 120.0	ns 130.0 ns 140.	0 ns 150.0 ns 11	60.0 ns
Compilation Report	Ctrl+R	15.225 ns					_				I	
Start Compilation & Simulation Ctrl-	+Shift+K	-Ť-										
Generate Functional Simulation Ne	etlist						_					
Simulation										*****		
Simulation Report Ctrl-	+Shift+R	******	******	******	******	*****		******				*****
P Design Units		×	******	******	*****	*****	*****	******	**********	*********	*****	*****
Simulator Tool												
Timing Analyzer Tool												
PowerPlay Power Analyzer Tool												
Xer												
Xc												
Xell												
Xe												
88												
2↓												
												Þ
find range is invalid. Find range is set	automatical	lly to sear	ch all.									
j λ Extra Info λ, Info λ, Warning λ, Critical Warning	<u>λ</u> Error <u>λ</u> Su	uppressed /					_					
								-				ocate
									<u> </u> <b>b</b> → <b>m</b> =	ldle		
* Province Strategy Contraction of the second strategy of the sec	/altera								D	U 🕺 🕺 🖉	s 🜗 🚼 🎇 💶 🤅	3 17:01

# Simulationsergebnis – Ausgangsbelegung berechnet

1200	ини	L_IIIy_WORK708SIg	jni.cu		💾 u.zailerazyue	signsou/Ambit_iniy_	workzuesignit.w	vi L.	V Simulati	латерок запа	
ort	Sim	ulation Wavefo	orms								
e	Sim	ulation mode: Tim	ing								
ary											
32	⊨										
ry	Masi	er Time Bar:	15.225 n	IS	Image: Image: Image: Pointer:	16.56 ns	Interval:	1.34 ns	Start:		End:
s ion l			Mahara at	0 ps	10.0 ns	20.0 ns	30.0	Ins	40.0 ns	50.0 ns	60.0 ns
ion (		Name	15.23 ns		·	15.225 ns				·	
ige		xa	H1			- <u>T</u>					
jes		xb	но								
		XC	но								
	Ø	yoder	H1								
	ø	yund	но								
	⊘	yxor	H1								
				1							

2 Entwurf mit einem Block Diagram / Schematic File

Neues Projekt wie unter 1. beschrieben erstellen File  $\rightarrow$  New

New	×
Device Design Files Other Files AHDL File Block Diagram/Schematic File EDIF File SOPC Builder System Verilog HDL File VHDL File	
	OK Cancel

# Ergebnis ist ein Fenster zur graphischen Eingabe



Block Tool auswählen



#### Maus im Zeichenfeld positionieren Linke Maustaste drücken und Rechteck aufziehen Ergebnis:



Im Block rechte Maustaste Drücken und Block Properties wählen



# Block Namen festlegen

:	1		••••••						
:	Block Properties								
:		General 1/0s	Parameters Format						
:		Name:	design2						
:	:	Instance name:	inst						
:	:								
:									

# Ein- Ausgänge des Blocks festlegen

Block Properties	×
General I/Os Parameters Format	
I/O Name: ME Type: INPUT	Add
Existing block I/Os:	
Name         Direction           xa         INPUT	

# Block mit Ein\_ und Ausgängen definiert

  	· · · · · · · · · · · · · · · · · · ·	  •	  	•	
· · · · · · · · · ·	design2b		· ·	•	
	<b>I/O Type</b> xa INPUT xb INPUT ya OUTPUT	•	· · · · · · · · · · · · · · · · · · ·	•	
· · · · ·	inst	•	· · ·	•	

Funktionselemente aus einer Bibliothek platzieren Im Zeichenfeld Doppelklick mit der linken Maustaste Ergebnis: öffnen der Bibliothek



## Ein- und Ausgänge platzieren



## Ein-Ausgänge mit Block verbinden





## Ein\_Ausgänge mit dem Block verbunden

		π · · · · · · · · · · · · · · · · · · ·
NIDUT	11 decign0h	
. pin_name	- Colynzo	
	I/O Type	
		DUTPUT pin_name2
	i ixa input i 📟	
	···· Iva IOUTPUT I	
1 (		
. pin_name		
· · · · · · · · · · · · · · · · · · ·	🗠 🧰 🖬 🖬 🖬	🔒
		9

#### Signalnamen und Signaltyp festlegen Mapper Properties wählen mit rechter Maustaste im Block

· · · · · · · · · · · · · · · · · · ·	
MANT Colored Manual Colored Action 20	
pin_name mcsiginzb	
	pin_namez
nin named	
·····································	L(II+X
Line Conv	Ctrl+C
	00
E p	Ch-1-57
E Easte	C(II+V
X Delete	Del I
• · · · · · · · · · · · · · · · · · · ·	
A.4-F3	
Autorit	
Locate	► I
Create Design File from Sel	lasted Blook
Lieate Design File from Set	естеа вюск
	elected Block
Open Design File	
ope <u>n</u> Design The	
·····	
By Update Symbol or Block	
Zoom	
Mapper Properties	
P Block Properties	

# Signaltyp wählen

	apper Properties			×
:5	General Mappings			
	Block name:	design2b		
	ыоск instance name: Туре:	Inst		
			ОК	Abbrechen

# Signalnamen festlegen

xb iiiii		
Mapper Properties		×
General Mappings		
Node mapping		
I/O on block:	xb	
Signals in node	xb 💌	Delete
Evision eventioned		
Existing mappings:		
1/0 on block Sig	nals in node	
I/O on block Sig	nals in node	
I/O on block Sig	nals in node	
I/O on block Sig	nals in node	
I/O on block Sig	nals in node	
I/O on block Sig	als in node	
I/O on block Sig	nals in node	
Lixisting mappings:	nals in node	

## Signalnamen festgelegt



#### Pin-Namen eingeben Doppelklick auf Pin

Block xb	Node b
pin_name	Pin Properties
pin_name1	General Format To create multiple pins, enter a name in AHDL bus notation (for example, "name[30]"), or enter a comma-separated list of names.
Block xa	Pin name(s): xb
	Default value: VCC
	OK Abbrechen

## Blockdesign fertig gestellt



Block auswählen mit linker Maustaste im Block Textdesignfile erstellen



#### Hardwarebeschreibungssprache auswählen

EIII xb INPUT				
Create Design File from Selected Block				
File type				
• AHDL				
O VHDL				
O Verilog HDL				
C Schematic				
Add the new design file to the current project				
File name: design2b.tdf				
OK Cancel				

**Generierter AHDL File** 

-- Generated by Quartus II Version 6.0 (Build Build 178 04/27/2006) -- Created on Mon Feb 05 17:37:38 2007

```
-- Title Statement (optional)
TITLE "__your_title";
```

-- Include Statement (optional) INCLUDE "\_\_include\_filename.inc";

```
-- Parameters Statement (optional)
```

```
-- {{ALTERA_PARAMETERS_BEGIN}} DO NOT REMOVE THIS LINE!
-- {{ALTERA_PARAMETERS_END}} DO NOT REMOVE THIS LINE!
```

```
-- Subdesign Section
```

```
SUBDESIGN design2b
```

(

```
-- {{ALTERA_IO_BEGIN}} DO NOT REMOVE THIS LINE!
xa : INPUT;
xb : INPUT;
ya : OUTPUT;
-- {{ALTERA_IO_END}} DO NOT REMOVE THIS LINE!
```

```
)
```

## Logikbereich muss noch hinzugefügt werden

## 3. Symbol aus einem Textdesign erstellen

Wir erstellen in einem neuen Projekt einen 1 Bit Adder

```
-- Addierer 1 Bit mit Logikgleichungen
SUBDESIGN adder1b
(
cin,opa,opb : INPUT;
sum,cout : OUTPUT;
)
```

BEGIN

```
sum=cin$opa$opb;
cout=opa &opb # opa & cin # opb & cin;
```

END;

## **Erstellen eines Symbols**



Anwendung des Symbols in einem neuen Projekt in einem Grafik – Design Erstellen eines 4 Bit Addierers mit Hilfe des 1 Bit Addierers Symbol des ! Bit Addierers aus der Projekt Bibliothek holen





Symbole für den 4 Bit Addierer und für Inputs und Outputs platzieren und verbinden