

# LEITERPLATTENFERTIGUNG

der Mikrosystemtechnik

**Technologien  
und  
Verfahrensweisen**

# Inhalt

Geschichte der Leiterplatte

Technologien

Anforderungen

Integrale Leiterplatten

Integration auf Substrat - Ebene

Wafer-Level-Packaging

Integration optischer Komponenten

# Geschichte der Leiterplatte

Geburtsstunde der Leiterplatte ist das Patent 4681 aus dem Jahre 1903 von Albert Hanson mit dem Titel:  
**„Improvements in or Connected with electric Cables and the joining of the Same“**

Ablösung der Einzelverdrahtung von elektrischen Schaltungen durch eine gedruckte Verdrahtung unter Verwendung von Paraffinetränktem Papier als Dielektrikum für Bandkabel

In den 30er Jahren kam eine Vielzahl von Patenten hinsichtlich elektrischer Verdrahtungen mittels Stanzen, Prägen, Ätzen und Aufsprühen von Metallen hinzu

1936 meldete Paul Eisler ein Patent an, das erstmals von einem Kupferkaschierten Dielektrikum (mit Kupfer beschichteter Phenolharz- Schichtpressstoff) dessen Leiterzüge durch Ätzen herausgebildet wurden ausging

# Geschichte der Leiterplatte

N° 4681



A.D. 1903

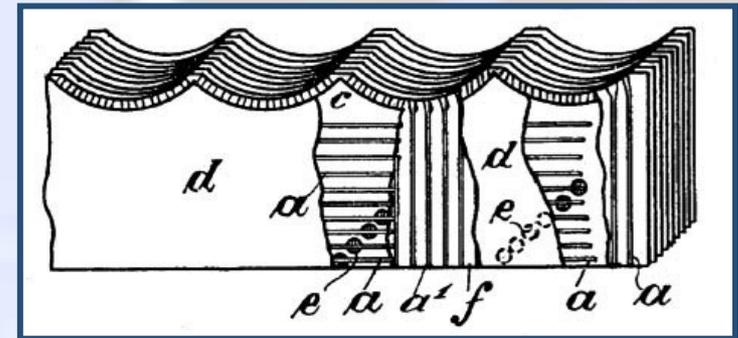
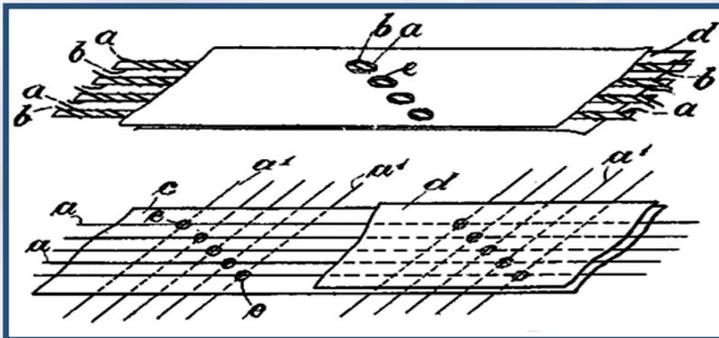
*Date of Application, 27th Feb., 1903*

*Complete Specification Left, 23th Dec., 1903—Accepted, 27th May, 1904*

PROVISIONAL SPECIFICATION.

Improvements in or connected with Electric Cables and the Jointing of the same.

Bild des originalen Patentes von 1903



Das Hanson-Patent zeigt eine zweilagige Verbindungsstruktur mit Durchkontaktierungen an den Kreuzungsstellen.  
(Quelle: Hanson)

Aus vielen Schichten mit gleichartigen Verbindungsleitungen schuf Hanson die Ersten »Multilayer« zur Kontaktierung von Fernsprechwählern des Typs Strowger  
(Quelle: Hanson)

# Geschichte der Leiterplatte

Um 1950 wurde die nächste Etappe der Entwicklung durch fertigen durchkontaktierbarer Leiterplatten erreicht

1962 gelang die Herstellung der ersten Multilayer durch die heutige RUWEL AG

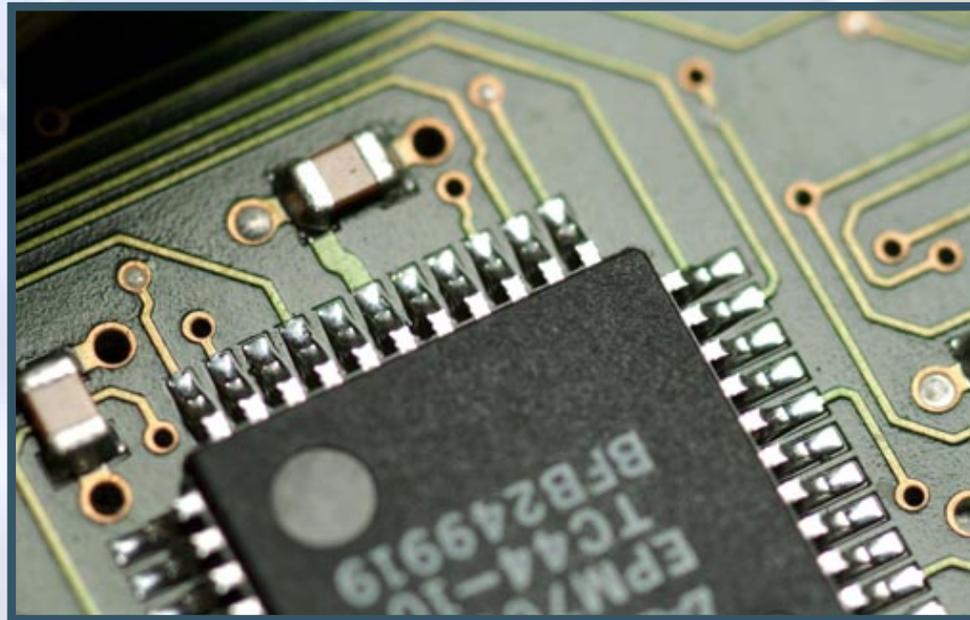
1980 kamen so genannte Microvias, auch HDI genannt auf den Markt (Via: Durchkontaktierung)

2000 schließlich Leiterplatten mit eingebetteten Komponenten



Entwicklung neuer Technologien zur Herstellung moderner Leiterplatten

Neue Technologien der  
**Leiterplattenfertigung**



# 1. Anforderungen

Wichtige Faktoren für die Auswahl der anzuwendenden Technologien sind:

Komplexität der Funktionen

Herstellungskosten

Größe und Einsatzbedingungen des Systems

Zuverlässigkeit und thermische Verluste

Testbarkeit

Massenproduktion

Marktverfügbarkeit

# Technologien

```
graph TD; A[Technologien] --> B[Integrale Leiterplatten]; A --> C[Integration auf Substrat - Ebene]; A --> D[Wafer-Level-Packaging]; A --> E[Integration optischer Systeme];
```

**Integrale  
Leiterplatten**

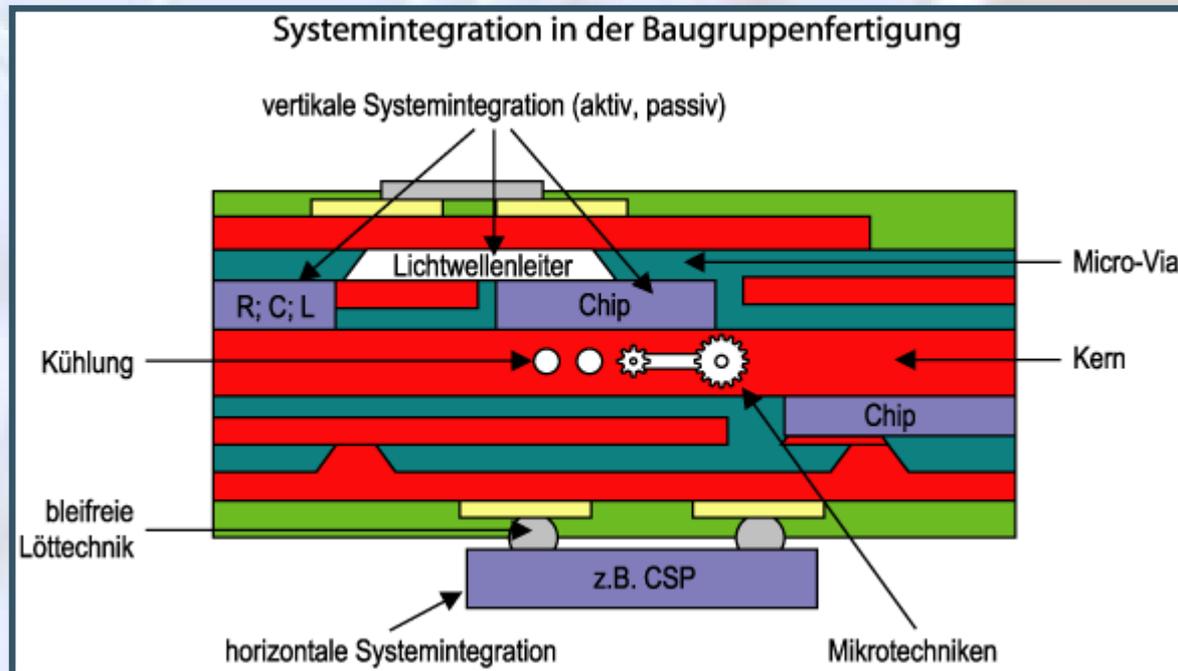
**Integration auf  
Substrat - Ebene**

**Wafer-Level-Packaging**

**Integration optischer  
Systeme**

# Integrale Leiterplatten

Integration von passiven und aktiven Bauelementen in die Leiterplatte



# Integrale Leiterplatten

Bauelemente dreidimensional  
in den Schichten einer Leiterplatte integriert

Flächenoptimierung

elektronische, optische und  
mechanische Bauelemente in die Leiterplatte integriert

# Integrale Leiterplatten

Mit Hilfe neuer Pasten, Anlagen und Materialien lassen sich immer engere Fertigungstoleranzen erzielen

Zum Beispiel mit Hilfe von Lasergebohrten Sacklöchern

Vorteile sind die um bis zu 35% geringeren Leitungslängen oder die um bis zu 80% verringerte Durchkontaktierung durch alle Lagen

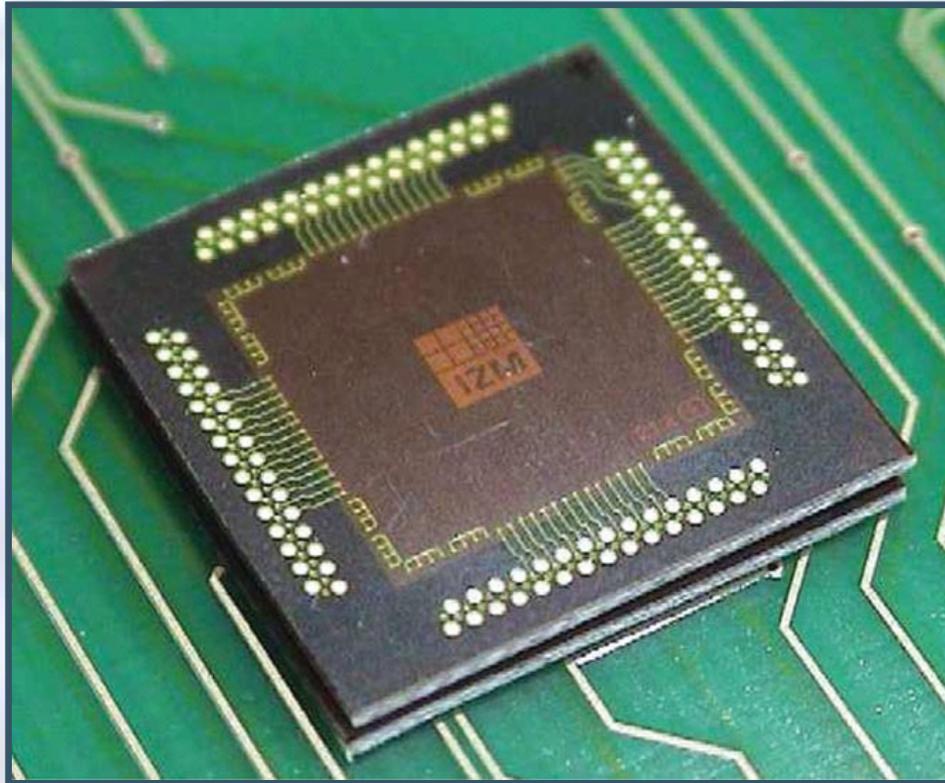
# Integration auf Substrat - Ebene

Neue Technologien ermöglichen das Einbetten aktiver Bauelemente in das Substrat einer Leiterplatte hinein

Es werden Versuche dahingehend unternommen, aktive Bauelemente dreidimensional in eine Platine zu integrieren

Beispiele hierfür ist die vom Fraunhofer Institut entwickelte Chip-in-Polymer Technologie

# Integration auf Substrat - Ebene



Der nur 50  $\mu\text{m}$  dünne Si-Chip ist vollkommen in das Polymer der Leiterplatte eingebettet

(Bild: Fraunhofer IZM)

# Integration auf Substrat - Ebene

Chip-in-Polymer des Fraunhofer IZM

Integration gedünnter aktiver Halbleiterkomponenten in die Laminatlagen oder in eine Epoxydharzlage der Leiterplatte

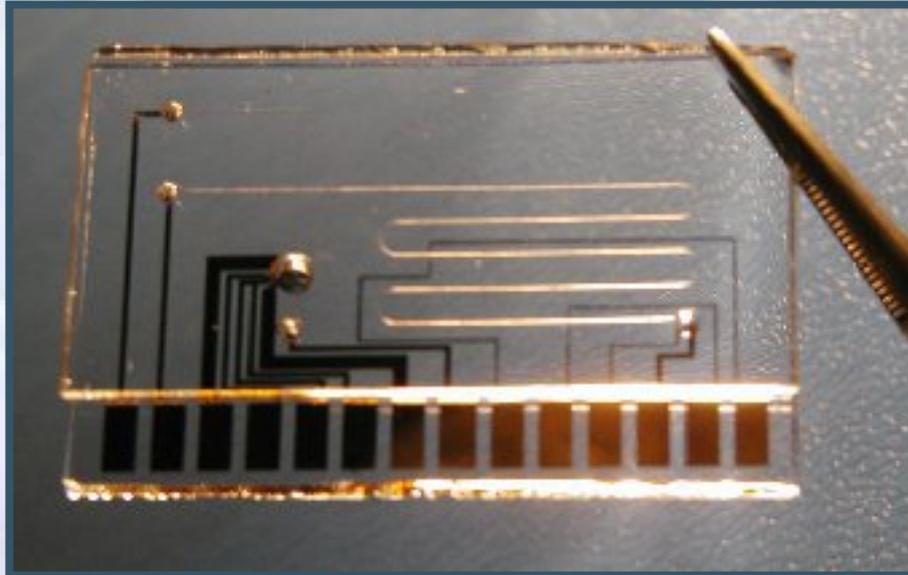
Vias werden durch Laser oder mit Hilfe von Photolithographie realisiert

Durch Stromlose chemische Kupferabscheidung werden die elektrischen Ankopplungen hergestellt



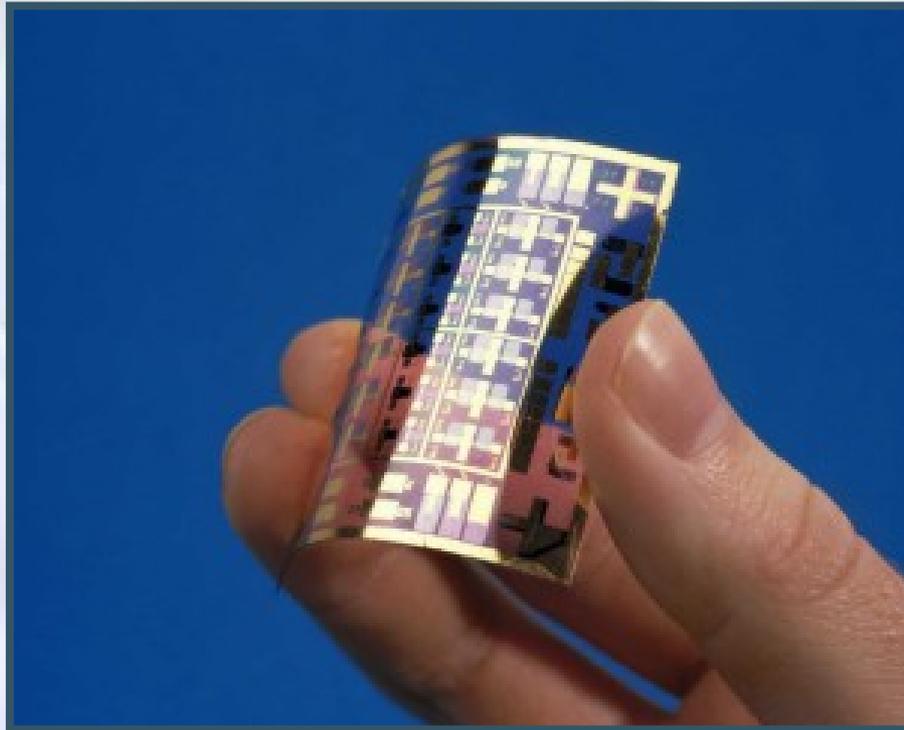
Enorme Vorteile dieser Technologie sind die hohe Integrationsdichte außerdem wird durch die Erschließung der dritten Dimension die Oberfläche für die Bestückung mit weiteren Komponenten freigehalten

# Integration auf Substrat - Ebene



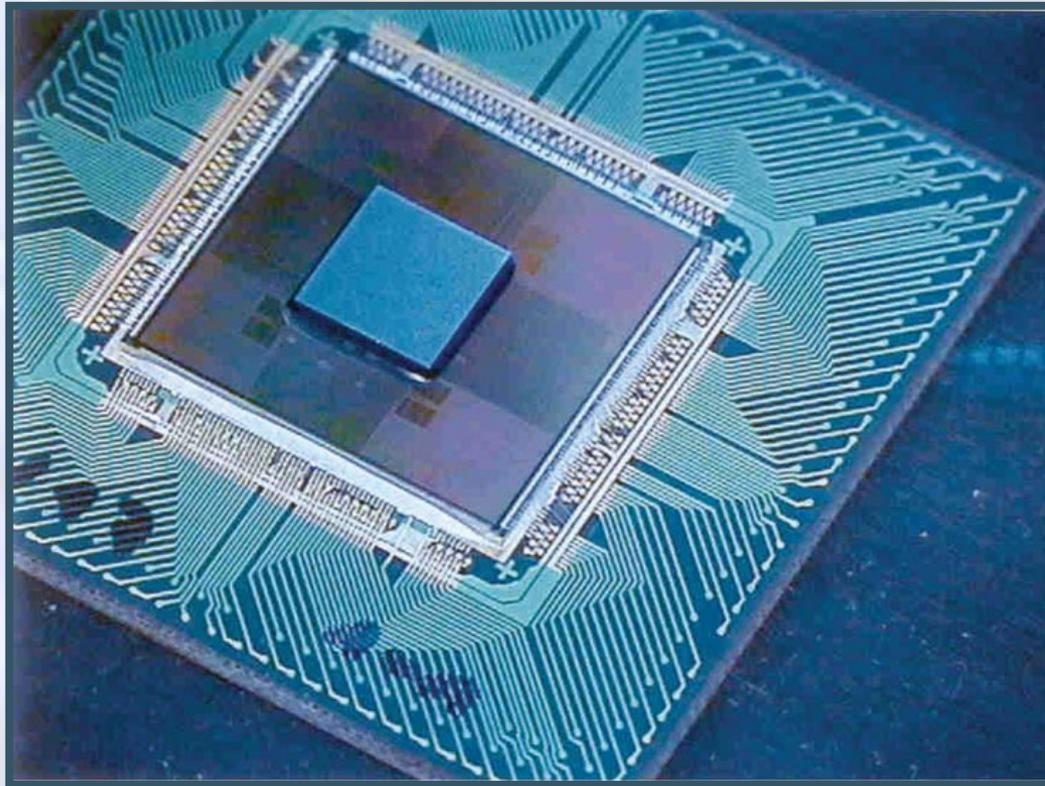
Lab-on-Chip hergestellt aus Glas und Polymerwerkstoffen zur Auswertung von DNA

# Integration auf Substrat - Ebene



Weiteres Polymerchipsystem, das, wie zu sehen, sehr flexibel ist

# Wafer-Level-Packaging



# Wafer-Level-Packaging

Hauptprinzip von Packaging Technologien ist es, die unterschiedlichen thermischen Ausdehnungen von Chip und Leiterplatte auszugleichen.



Dies wird durch eine Polymerschicht zwischen Chip und Leiterplatte realisiert

# Wafer-Level-Packaging

Der enorme Vorteil des Wafer-Level-Packaging ist es, dass das Package vor dem Vereinzeln auf dem Wafer (Polymer) hergestellt werden kann.



Das Wafer-Level-Package ist nicht größer als der Chip selbst, dies bedingt, dass sich die Anschlüsse auf den Chipkanten befinden



Da direkt auf dem Wafer produziert wird ist es ebenfalls möglich die gesamte Unterseite mit elektrischen Kontakten zu versehen

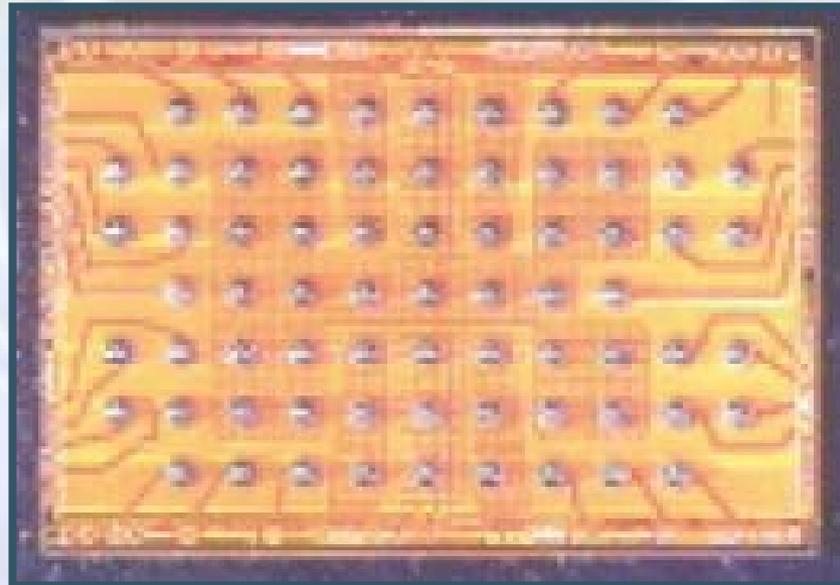
# Wafer-Level-Packaging

Durch die so genannte Umverdrahtungstechnik lassen sich passiver Bauelemente sehr effektiv auf die Chipoberfläche integrieren

Es ist weiterhin möglich aktive Bauelemente, zum Beispiel weitere Halbleiterbauelemente, mit Hilfe des Chip-zu-Chip Prozesses zu integrieren

Meist im HF- Bereich oder bei Mixed Signalanwendungen zu finden, dies bedeutet vorrangig in der Mobilfunk oder Breitbandkommunikation

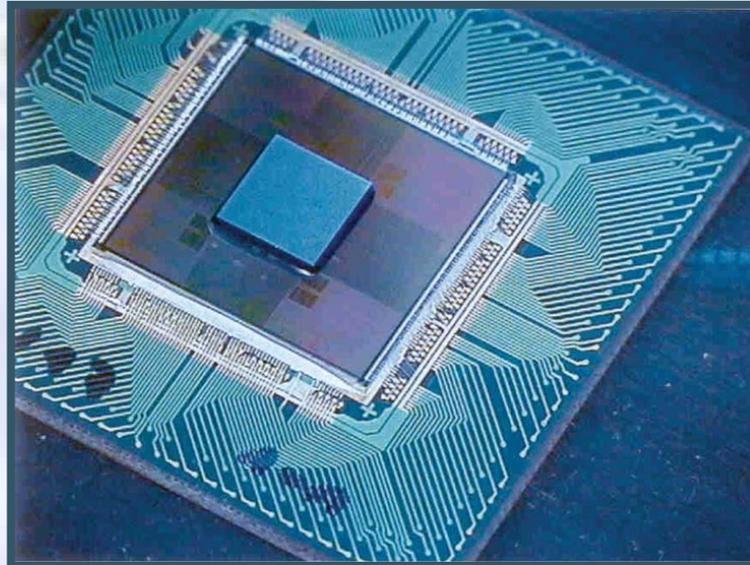
# Wafer-Level-Packaging



Unterseite eines Chips, dessen Anschlüsse mit Hilfe der Umverdrahtungstechnik gefertigt wurden und somit alle Anschlüsse auf der Chipfläche verteilt werden konnten  
(Quelle: Fraunhofer IZM)

# Wafer-Level-Packaging

Aufgrund des Sachverhaltes das der Wafer nicht größer als der Chip an sich ist, können die Packages direkt mit SMD Fertigungsprozessen montiert werden.



Ein Chip-zu-Chip System, dass ermöglicht, unterschiedliche Bauelemente in ein Gehäuse zu integrieren

# Wafer-Level-Packaging

Momentan kommen vorrangig Ein-Chip Lösungen zum Einsatz,  
Es gibt jedoch Entwicklungen von Mehr-Chip Lösungen



Es werden außerdem zusätzliche optische Komponenten  
oder Antennen integriert



Dadurch wird die Wafer Verkapselung vom einfachen Schutz zum  
Integrierten aktiven Gehäuse

# Wafer-Level-Packaging

Entscheidend für das Wafer-Level-Packaging ist eine hohe Güte der passiven Bauelemente die auf dem Chip oder in das Polymer Platziert werden sollen



Dies spart Platz, was zu einer weiteren Miniaturisierung beiträgt



In Zukunft sollen auch dreidimensionale Integrationskonzepte umgesetzt werden, zum Beispiel der Einsatz von Polymerlagen, auf denen extrem gedünnte Chips Face-to-Face montiert, oder in Polymerschichten eingebettet sind

# Integration optischer Komponenten

Da durch die steigenden Datenraten in Kommunikationsnetzen Bereiche weit über 10 GBit/s benötigt werden stößt man mit Kupfer-Technologien an physikalische Grenzen

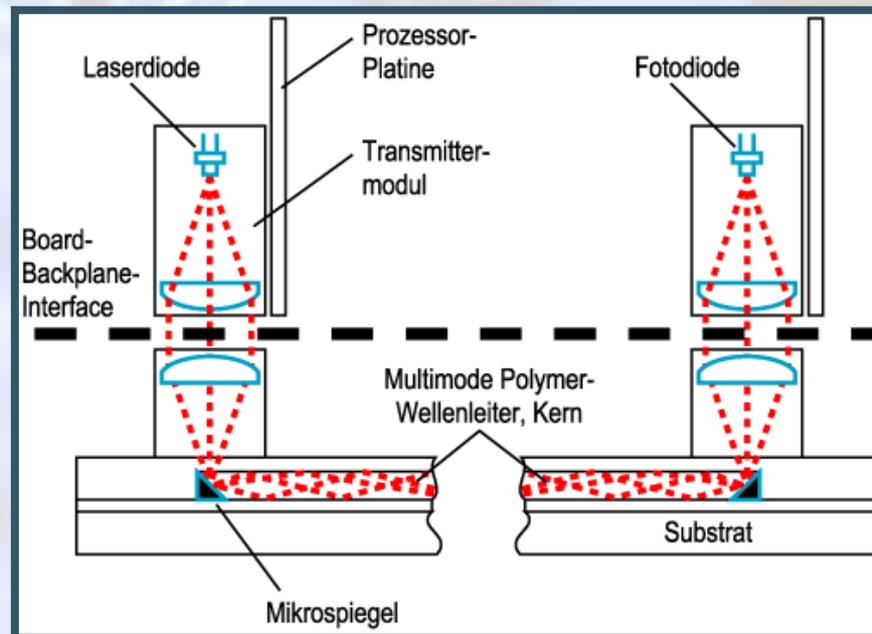
Es wird darauf hin gearbeitet den gesamten Signalpfad von Sender bis Empfänger optisch zu realisieren, momentan kommen jedoch vorrangig hybride Anwendungen von optischen und elektrischen Systemen zum Einsatz, da rein optische Systeme noch nicht ausgereift sind

Im Gegensatz zu konventionellen Technologien sind hier bis zu 40 GBit/s pro Übertragungsleitung möglich

# Integration optischer Komponenten

Funktionsprinzip:

An den Modulen werden die Signale elektro-optisch gewandelt und über Lichtwellenleiter an andere Module übertragen, vor denen sie jedoch opto-elektrisch Rückgewandelt werden



# Integration optischer Komponenten

## Technologien

Als Overlay aufgebrachte  
Polymer-Wellenleiter

Integrierte  
Glaslichtwellenleiter

Eingebettete  
Glasfasern

Integrierte, planare, optische  
Polymerlichtwellenleiter

# Integration optischer Komponenten

Als Overlay aufgebrachte  
Polymer-Wellenleiter



Diese Technologie besitzt sehr geringe Signalverluste, ist aber aufgrund eines zusätzlichen Prozessschrittes relativ uneffektiv

# Integration optischer Komponenten

## Integrierte Glaslichtwellenleiter



Bestehen aus einem flächigem, strukturiertem Glaslaminat  
Sie lassen sich sehr schmal ausführen und sind sehr temperaturstabil  
Ihr Nachteil sind allerdings die hohen Materialkosten  
und der relativ hohe Implementierungsaufwand

# Integration optischer Komponenten

Eingebettete  
Glasfasern



Bei dieser Technologie hat man sehr geringe Verluste, es gibt jedoch keine vernünftigen, standardisierten Herstellungsprozesse. Der entscheidende Nachteil ist, dass Mehrpunktverbindungen über separate Implementierungen realisiert werden müssen (Splitter und Combiner).

# Integration optischer Komponenten

Integrierte, planare, optische  
Polymerlichtwellenleiter



Diese Technologie ist sehr zuverlässig und praxisgerecht, außerdem eignet sie sich sehr gut für den Einsatz mit gängigen 850 nm Lasern, da bei diesen Lasern das Signal nicht zu stark durch das Polymer gedämpft wird. Man kann selbst relativ große Leiterplatten herstellen (1000x800 mm).

Die nötigen optischen Verbindungen können wie normale Bauteile behandelt, also problemlos in den Standardfertigungsprozess eingebunden werden

# Integration optischer Komponenten

Fertigungsprozess am Beispiel des planaren  
Polymerlichtwellenleiters der Firmen  
DaimlerChrysler und ERNI

Die Grundlage ist ein flüssiger, lichtempfindlicher Kunststoffilm  
der bei Belichtung mit kurzwelligem Licht aushärtet



Dieser Werkstoff lässt sich auf allen gängigen Substraten verarbeiten

# Integration optischer Komponenten

Die Basis des gesamten Prozesses ist die so genannte  
**Fotopolymerisation**

# Integration optischer Komponenten

## Technologische Schritte:

1. Die Leiterplatte wird mit einer Polymerlage versehen die die Mantelschicht bildet

2. Aufbringen einer dünnen Schicht eines Monomers das später den Kern darstellt  
Die Dicke der Schicht entspricht der Höhe des Entstehenden Polymerlichtwellenleiters

3. Bestrahlung mit kurzwelligem Licht  
→ Beginn der Polymerisation

# Integration optischer Komponenten

## Technologische Schritte:

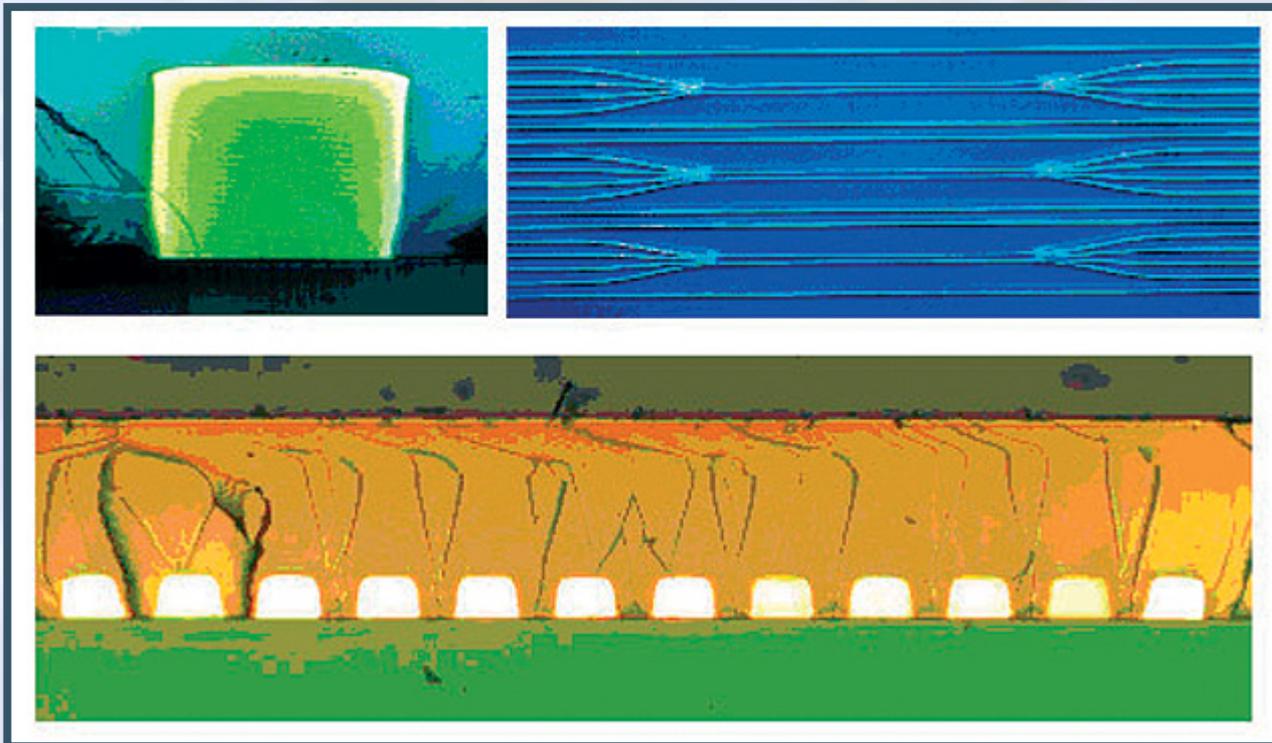
4. Geometrie der geplanten Leiterzüge wird mit dem Lichtstrahl abgefahren

5. Entfernen der unbelichteten Reste des Monomers mit einem geeignetem Lösungsmittel

6. Platzieren der Mikrospiegel und anschließendes Auftragen einer Mantelschicht

# Integration optischer Komponenten

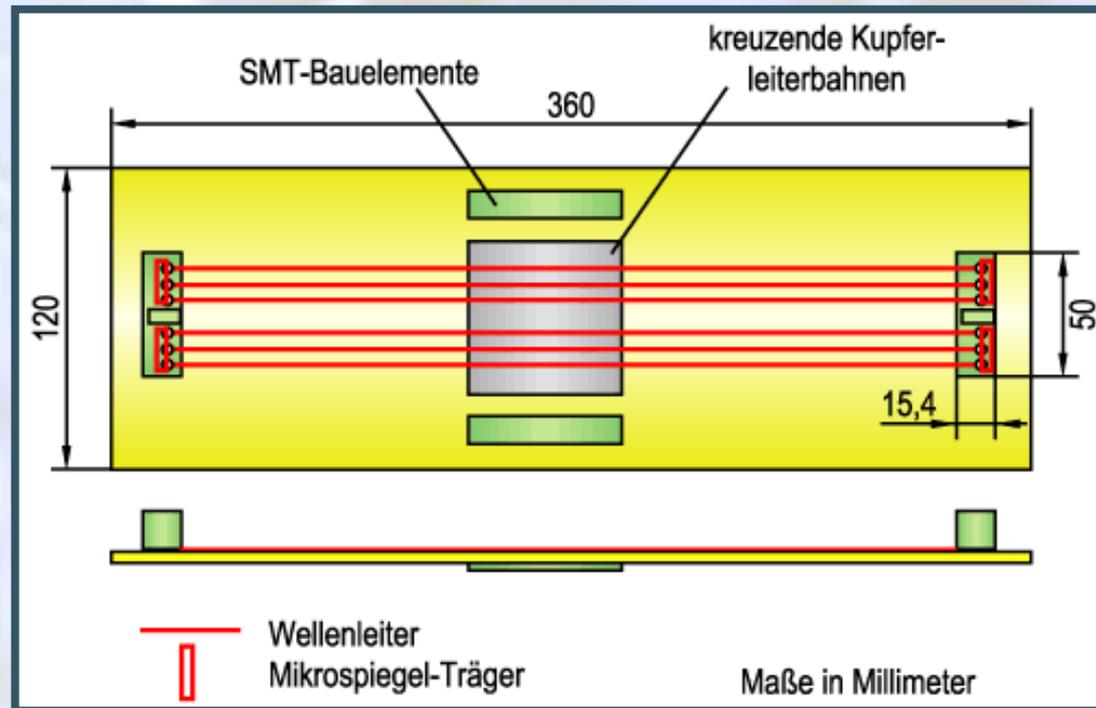
Technologische Schritte:



Man erkennt auf dem Bild den Aufbau: den unteren Mantel und die abschließende Umhüllung des mit Licht polymerisierten Monomer-Kerns (Quelle: DaimlerChrysler)

# Integration optischer Komponenten

## Technologische Schritte:



Demonstrator, bei dem auf eine konventionelle Leiterplatte Wellenleiter auf die Oberfläche aufgebracht wurden (Quelle: ERNI)

# Integration optischer Komponenten

## Weitere Techniken:

Für die Ein- und Auskopplung der optischen Signale werden anstatt teurer Steckverbinder genutzt die höhere Toleranzen erlauben

Rechtwinklige Ein- und Auskopplungen der optischen Signale werden über Mikrospiegel, die mit Hilfe von Automaten sehr genau platziert werden umgesetzt

# Integration optischer Komponenten

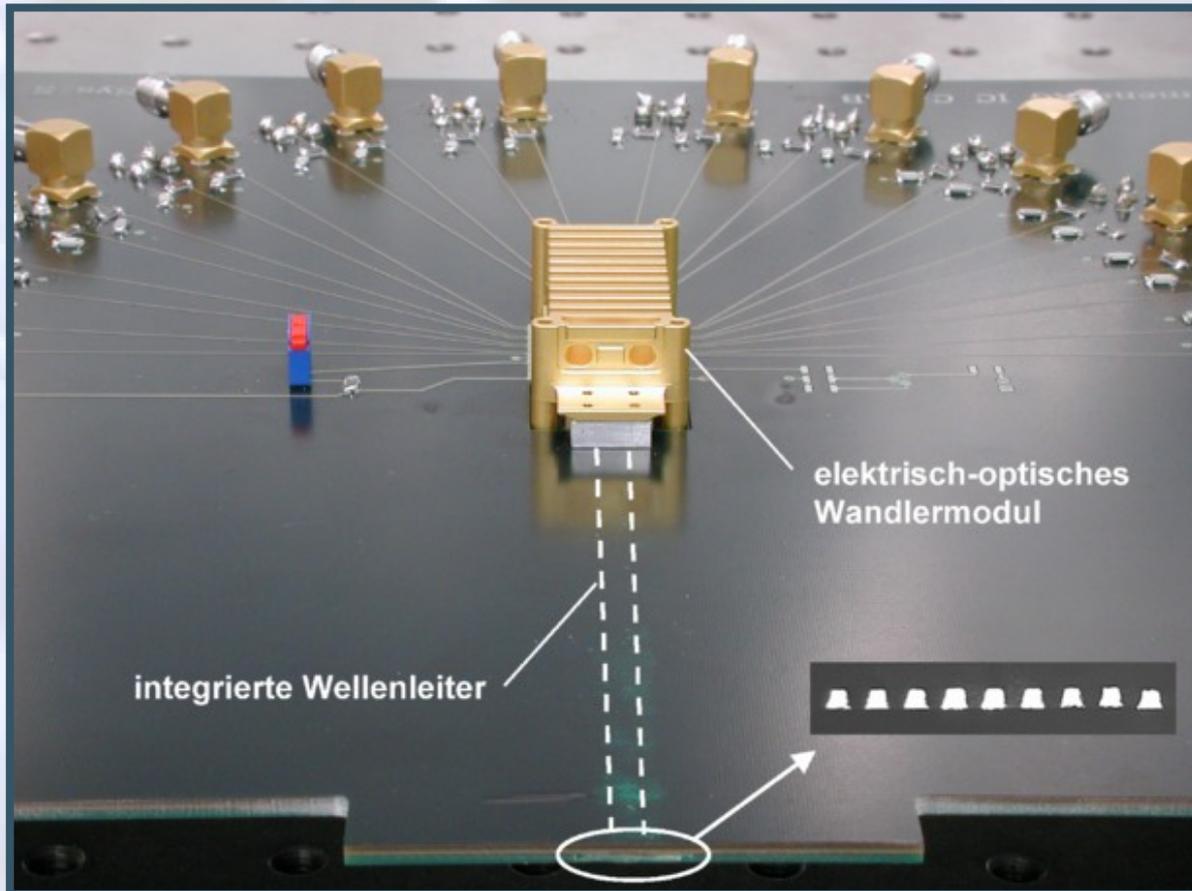


Bild einer optischen Leiterplatte

# Impressum

## Quellen:

- Fraunhofer-Institut für Zuverlässigkeit und Mikrointegration

<http://www.pb.izm.fhg.de/izm/DE/index.html>

- [www.elektroniknet.de](http://www.elektroniknet.de)

-VDI Nachrichten

- <http://www.innovations-report.de>

-Michael Wilke Belegarbeit GK